H S P I C E

연 구 실 : 한양대학교 ASIC 연구실
지도교수 : 최 명 렬 교수
담당조교 : 윤 진 석 조교
Homepage : http://asic.hanyang.ac.kr

Contents

1. What HSPICE ?

1.1 What HSPICE ?

- What Hspice?
  - 1960년에 처음으로 등장한 SPICE 분석 방법은 지금뿐 아니라 미래에도 가장 정확하게 Circuit Level 의 분석을 해낼 수 있는 방법일 것이다. 오랜 시간 동안 수많은 사람들에 의해서 수정, 발전 되어온 SPICE 분석방법은 최근 들어 IC 등장과 더불어 지금의 Analog, Digital, Memory Design 에 있어서 직접, 간접으로 가장 큰 역할을 담당하고 있다. 특히, 대부분의 반도체 디자인 업체에서 실제로 사용하고 있는 HSPICE 를 통해 본 강좌에서는 SPICE 분석 방법의 기초적인 개념과 이를 통해 실제로 netlist 를 작성하고 simulation 하는데 강의의 목적을 둔다.

1.2 Input netlist file rule

- Input netlist file rule
  - Hspice 의 input file 의 확장자는 .sp / output 확인은 .lis
  - 첫 statement 는 반드시 TITLE statement 로 시작.
  - 마지막 statement 는 반드시 .END 로 마쳐야 한다.
  - 2 Line 이상을 차지하는 긴 문장을 사용할 경우 '+' 기호를 사용하여 기술한다.
  - 주석을 사용할 경우 Line의 처음에 '*' 를 사용한다.
  - Netlist 에서는 대소문자 구분 없이 사용한다.
  - 0 , GND 는 항상 Ground.

1.3 Complete .SP file

```
Inverter Simulation

.lib c:/avanti/Hspice2001.2/sec/csp5hb5v_cla5hb5v_para.lib_r002a nn
.options list node post
.temp 27
.global GROUND

* ELDO netlist generated by 'catpsj' on Mon Jan 27 2003 at 04:16:42
* component pathname : $WORK/catpsj/catpsj/digitlib/inv1

.subckt INV1  NOT_A A VCC VSS

        M2  NOT_A A VSS VSS mn L=0.5u W=0.6u M=1
        M1  NOT_A A VCC VCC mp L=0.5u W=1.2u M=1

.ends INV1

* MAIN CELL: component pathname : $WORK/catpsj/catpsj/Idec/Inverter

        X_XINV11  VOUT VIN VCC VSS INV1

        R1  VOUT VSS 10Meg
        C1  VOUT VSS 1P

        VCC VCC 0 DC 3V
        VSS VSS 0 DC 0V

*       VIN VIN 0 DC 3V
        VIN VIN 0 SIN (1.5V 1.5V 10K 0 0)
*       VIN VIN 0 PULSE(0V 3V 20u 0.001n 0.001n 20u 40u)
*
* eldo include file.

.tran 0.1u 400u
.Op
.end
```

첫 라인은 반드시 제목

Library 위치지정

Option 내용

Simulation 온도

Sub_circuit의 위치 정보

Sub_circuit의 문법 형식1

Inverter Circuit

Sub_circuit의 끝은 항상 .ends

Main Circuit 위치 정보

Sub_circuit의 문법 형식2

Inverter Output의 Load R과 C

DC Source

SIN Source

PULSE Source

Transient analysis

OP option

마지막 문장은 반드시 .end

2. HSPICE Components

2.1 Basic Units & Scale Factors

- Units
  - R - Ohm
  - C – Farad
  - L – Henry
- Scale Factors

$F = 1e-15$ $K = 1e3$

$P = 1e-12$ $MEG = X = 1e6$

$N = 1e-9$ $G = 1e9$

$U = 1e-6$

$M = 1e-3$

2.2 Passive Devices

- Passive Devices
  - R : Resistors
    - Rxxx node1 node2 R_value
      R1 1 0 100K
  - C : Capacitors
    - Cxxx node1 node2 C_value
      C1 1 0 100U
  - L : Inductors
    - Lxxx node1 node2 L_value
      L1 1 0 10u

2.3 Active Devices

- Active Devices

  (= .model / .Lib / .Include 를 통한 parameter 값이 반드시 있어야 함)

  - D : Diodes

    - Dxxx node1 node2 D_name

      D1 1 0 Dmbrm120lt3

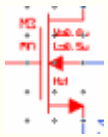
    - .model D_name D
      + Parameter value……

      .MODEL Dmbrm120lt3 D
      +IS=1.81383e-12 RS=0.01 N=0.5 EG=0.6
      +XTI=4 BV=20 IBV=0.0001 CJO=3.01257e-10
      +VJ=0.534572 M=0.423885 FC=0.5 TT=1e-09
      +KF=0 AF=1

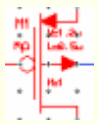
2.3 Active Devices

- M : MOS Transistors

NMOS



PMOS



- Mxxx D G S B mos_name L = L_value W = W_value M = n
  - D : Mos 의 drain node G : Gate node S : Source node B : bulk node
  - B : NMOS 는 VSS (가장 낮은 전압), PMOS 는 VCC (가장 높은 전압)에 연결
  - Mos_name 은 제공되는 .model file 의 mos_name 에 맞춰서 작성한다.
    (parameter 제공회사마다 mn, nch, nmos 등 명칭이 다름)
  - L 과 W 의 값은 설계자가 정할 수 있다.
  - M 은 보통 W 의 배수를 나타낸다. 예) M = 5 => W * 5

```
M1   1   2   3   4   NMOS   L=10u   W=10u   M=1
```

- .model M_name NMOS (or PMOS) Level = x
  + Parameter value.....

```
.MODEL MM NMOS LEVEL=1
+IS=1e-32  VTO=2.92891  LAMBDA=0
+KP=180.273  CGSO=1.92171e-05  CGDO=1.39105e-06
```

3. Source

3.1 DC Source

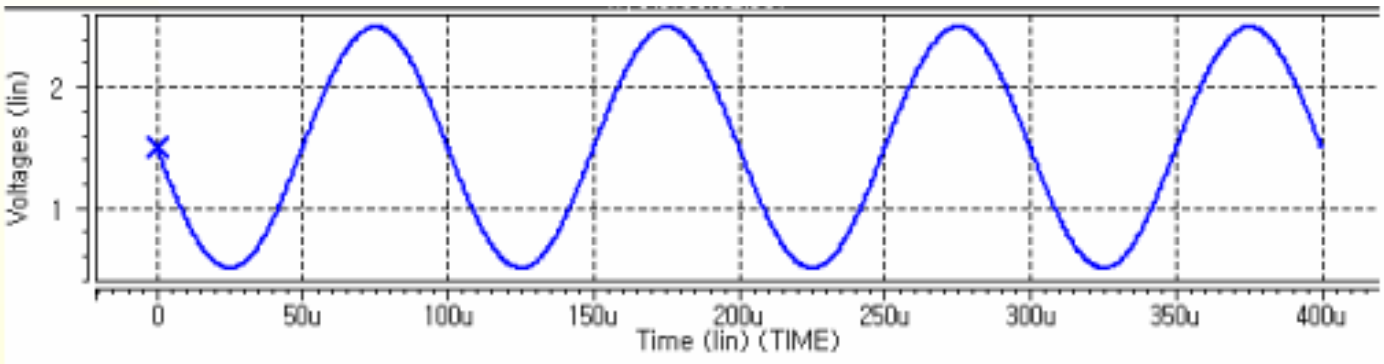
- DC sources(DC analysis statement)
  - Vxxx node1 node2 DC=Value
    V1 1 0 DC=5V
  - Ixxx node1 node2 DC=Value
    I1 1 0 DC=10A

3.2 Sinusoidal Source

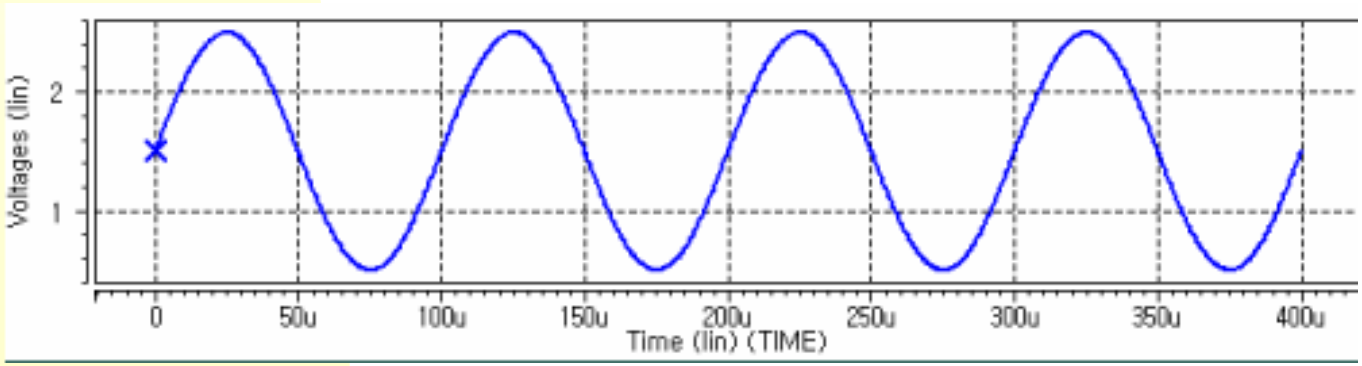
- Sinusoidal source function(= SIN)
  - Vxxx node1 node2 SIN (Vcm Vpeak Freq Td Damping Phase)
    - Vcm = sin wave의 중간값
    - Vpeak = sin wave의 peak 값. 즉, 전체 파형의 크기는 Vcm ± Vpeak
    - Freq = sin wave의 frequency
    - Td = delay time
    - Damping factor = damping factor in 1/sec
    - Phase factor = phase delay in degree

3.2 Sinusoidal Source

- V1 1 0 sin (1.5V 1V 10K 0 0)
  = > t = 1 / freq = 1 / 10000 = 100u (= 주기가 100u 인 SIN wave)



- V2 2 0 sin (1.5V 1V 10K 0 0 –180)
  => V1 파형과 위상이 반대

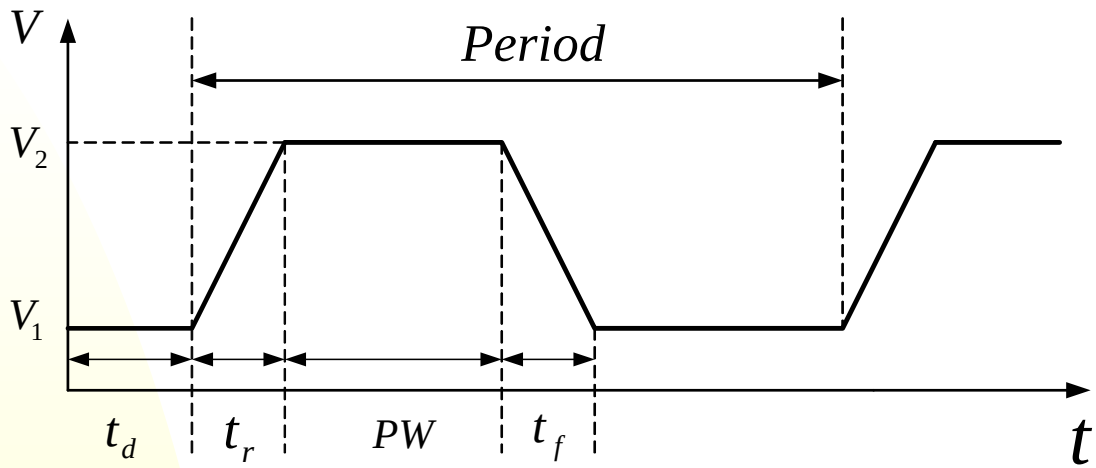


3.3 Pulse Source

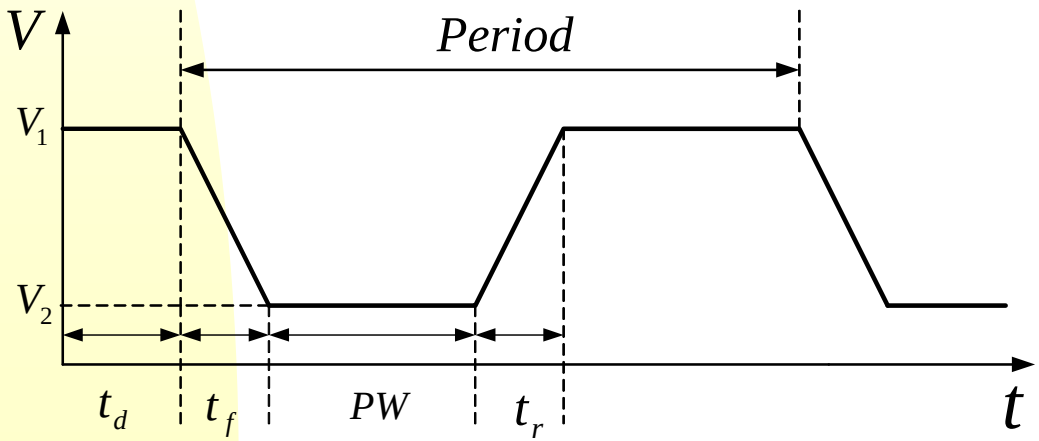
- Pulse source function(= PULSE)
  - Vxxx node1 node2 **PULSE (V1 V2 Td Tr Tf PW Per)**
    - V1 = pulse가 시작되는 initial voltage
    - V2 = pulse의 두번째 voltage level
    - Td = V1 < V2 일 경우 V1 부터 시작하여 V2 로 가기 위한 Tr 까지의 시간
      V1 > V2 일 경우 V1 부터 시작하여 V2 로 가기 위한 Tf 까지의 시간
    - Tr = V1 < V2 일 경우 V1 부터 V2 까지 가기 위한 rising delay time
      V1 > V2 일 경우 V2 부터 V1 까지 가기 위한 rising delay time
    - Tf = V1 < V2 일 경우 V2 부터 V1 까지 가기 위한 falling delay time
      V1 > V2 일 경우 V1 부터 V2 까지 가기 위한 falling delay time
    - PW = V2 가 유지 되는 시간
    - Per = Pulse 의 전체 주기

3.3 Pulse Source

- V1 1 0 PULSE (0V 3V 1u 0.001n 0.001n 1u 2u) * 500KHz



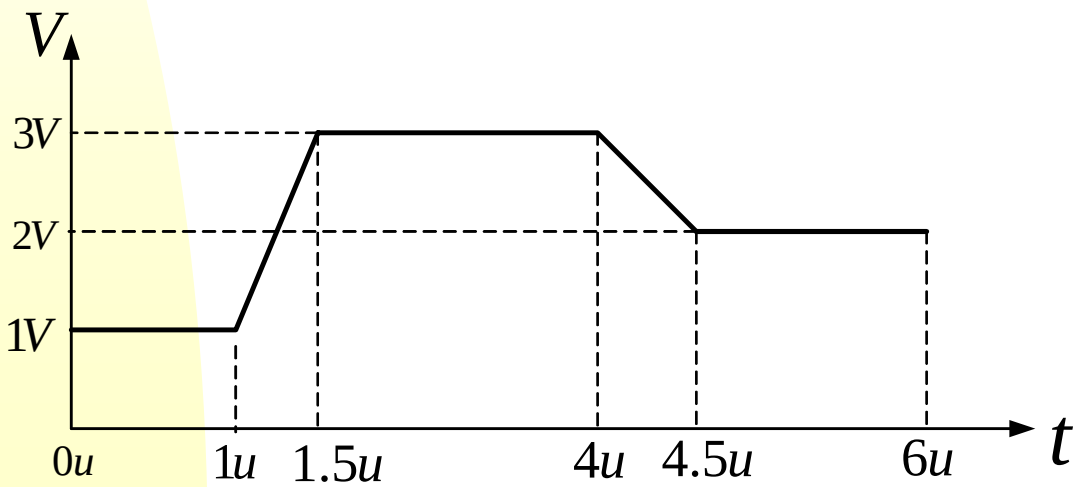
- V2 2 0 PULSE (3V 0V 1u 0.001n 0.001n 1u 2u) * 500KHz



3.4 Piece Wise Linear Source

- Piece Wise Linear source function(= PWL)
  - Vxxx node1 node2 PWL (T1 V1 T2 V2 T3 V3 ....)
    - T1 = V1 이 시작되는 time
    - T2 = V2 가 시작되는 time
    - T3 = V3 가 시작되는 time ....

V1 1 0 PWL (0u 1V 1u 1V 1.5u 3V 4u 3V 4.5u 2V 6u 2V)



3.5 Sub-Circuit

- .SUBCKT
  - Circuit 을 symbol 로 만들 경우 netlist 상에 나타난다.
  - 한가지 회로를 여러 곳에 사용할 경우 유용하다.
  - .subckt syntax

    - .subckt circuit_name Output1 node1 node2 node3 ..
      statement of circuit description ..
      .ends circuit_name

    - .subckt 이 netlist 에서 실제로 쓰일 때

      .subckt circuit_name Output1 node1 node2 node3 ..
      statement of circuit description ..
      .ends sub_circuit_name
      X_circuit_name Output1 node1 node2 node3 .. circuit_name
      (=> node 의 위치는 동일하게)

4. Analysis Types

4.1 Operating Point

- Operating Point Calculation
  - DC Operating Point 를 구하는 것이 중요.
    = Quiescent point
  - DC Operating Point 해석은 transient initial 조건을 결정하는 transient 해석 전에, DC 해석 전에, 그리고 비선형 device 를 위한 선형화된 small signal model 을 결정하는 AC 해석 전에 반드시 실행된다.
  - .OP
    - .TRAN UIC option 과는 같이 사용할 수 없다.
    - .OP 가 netlist 에 포함되면 SPICE 가 지정된 시간에서의 OP 를 구한다.
    - .OP 로 인하여 .lis 에 출력되는 값들
      - Circuit 의 Node voltage, Source current
      - Power Dissipation at the Operating Point
      - 반도체 소자들의 current, conductance, capacitance, voltage ..

4.2 DC analysis

- DC Sweep Analysis
  - Bias point 계산 및 circuit parameter 에 대한 특정 출력 변수의 small signal sensitivity, 전달 함수 등을 구할 때 사용.
  - .DC statement

    .DC Vxx start stop inc

    .DC Vin 1V 3V 0.25

    (= Vin 을 1V 부터 3V 까지 0.25 씩 증가하면서 해석)
  - DC initialization

    .nodeset V(node_name) = Value

    .nodeset V(node1) = 5V

    (= node1에 회로를 해석하기 시작할 때 인위적으로 5V를 인가한다)

    이 명령어를 사용하기 위해서는 .Tran 다음에 반드시 UIC 명령어가 포함되어야 한다.

4.3 AC analysis

- AC Sweep Analysis
  - 주어진 주파수 범위 내에서 주파수 응답을 구한다.
  - 우선 DC OP 를 계산을 수행한 후, 모든 nonlinear device 에 대하여 OP 를 중심으로 small signal 선형 model 을 결정한다.
  - .AC statement

    .AC Type Np Fstart Fstop

    .AC Dec 10 1K 100Meg

    (= 주파수 범위가 1K ~ 100Meg 이므로 decade 당 10 points Frequency sweep 한다)

    (= 주파수 범위가 1K ~ 100Meg 이므로 log (100Meg / 1K) = 5 decades)

4.4 Transient analysis

- Transient Analysis
  - 주어진 시간 내에서 circuit 을 해석한다.
  - .Tran statement

    .Tran Tanalysis Tstop

    .Tran 1us 3ms

    (= 3ms 까지 1us 씩 circuit 을 해석한다)

4.5 Options

- .Lib
  - Simulation 하고자 하는 Active source 의 공정 parameter 값들이 저장된 위치를 나타내준다.
- .Options
  - .Options list node post
- .Temp
  - Simulation 을 위한 온도를 나타내는 option 이며 대부분 room temperature 인 27 로 작성(= .Temp 27)하지만, 온도의 변화에 따라서 CMOS 특성도 변하기 때문에 Chip Test 를 할 경우 온도를 바꿔가면서 simulation 한다.

5. HSPICE 실행 및 AvanWaves

5.1 Netlist 작성

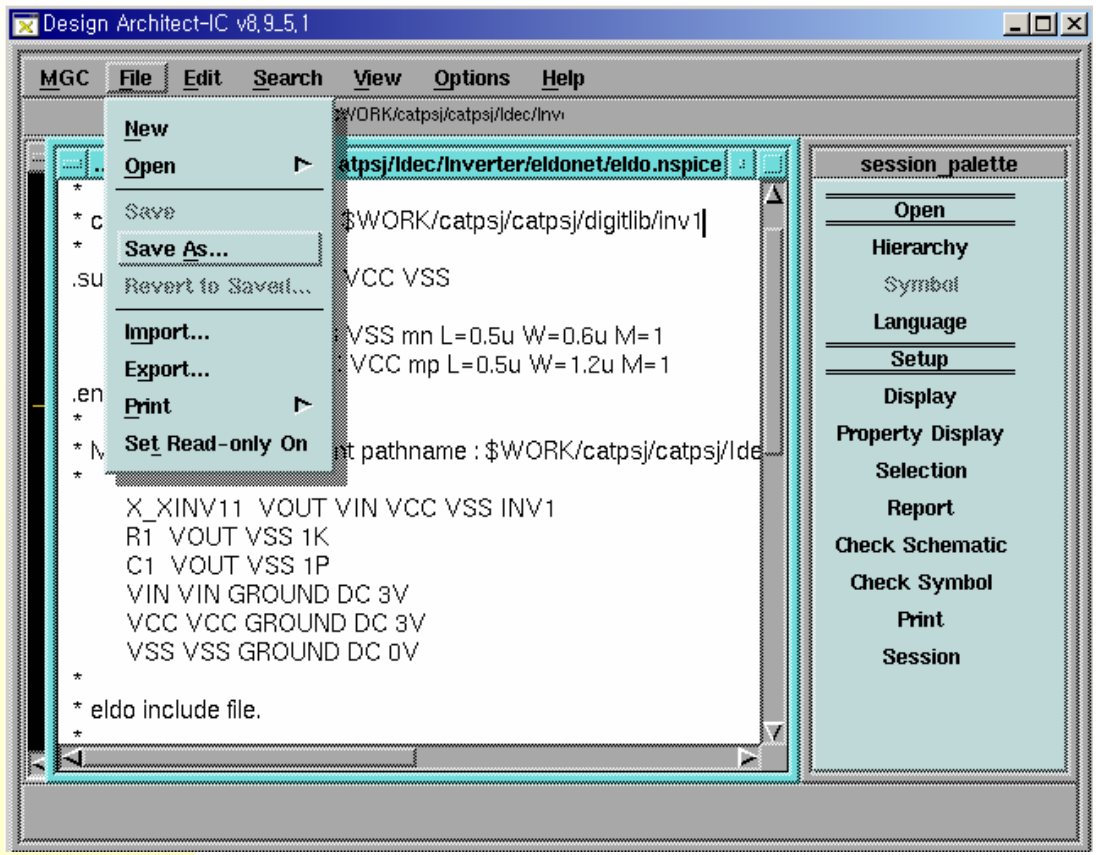
- da_ic를 통해서 나온 eldo.nspice file 에는 schematic에 대한 netlist 만 제공된다.

- Simulation 이 가능한 netlist 를 만들기 위해서는 source, lib, analysis type 등을 추가하여 simulation 이 가능하도록 추가적인 작업이 필요.

- 다른 editor 를 사용하는 방법도 많이 있지만 이번 강의에서는 da_ic 에서 edit 하는 방법을 알아보도록 하겠다.

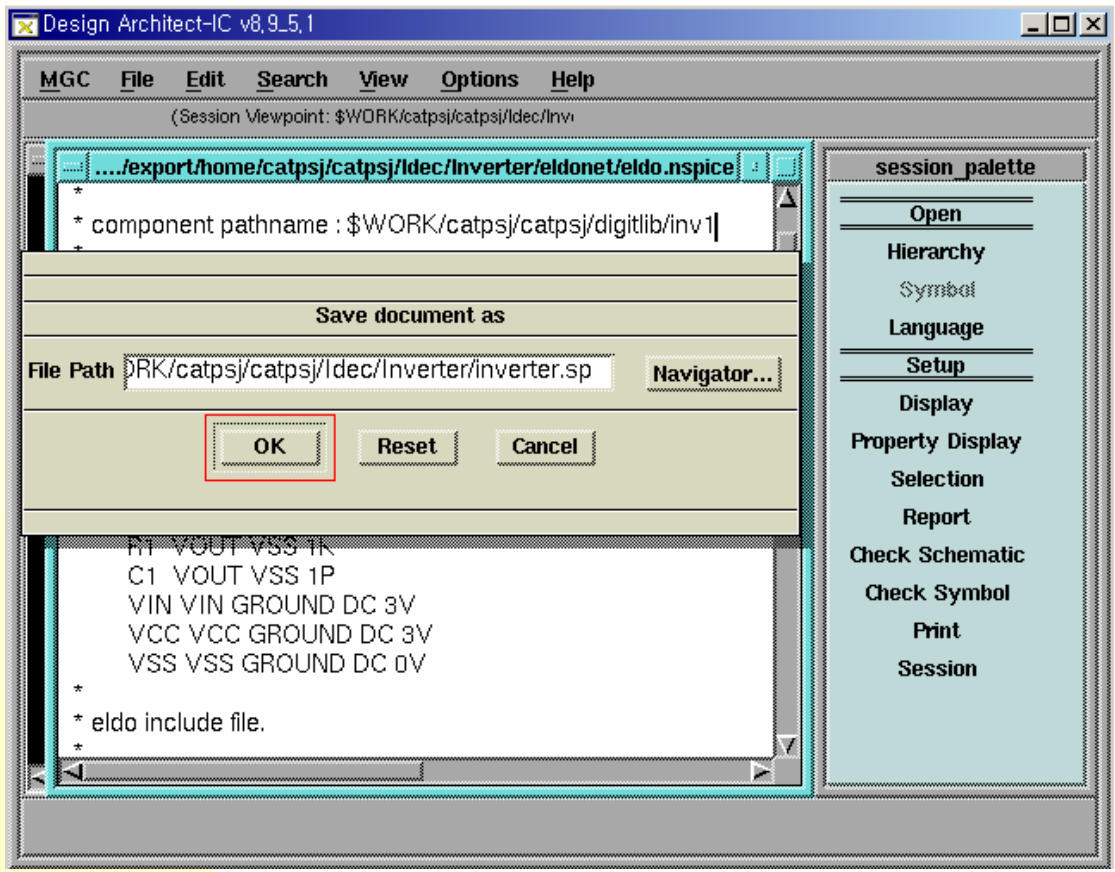
5.2 .sp file 로 전환

- eldo.nspice 를 .sp file 로 전환하기
  - 앞에서 나온 eldo.nspice file 을 불러온 뒤, Menu bar 의 File 의 save as 선택



5.2 .sp file 로 전환

- Navigator 를 선택하여 File Path 를 원하는 directory 로 정하고 file명(= inverter)을 정한 뒤 확장자는 .SP 로 한 후 OK 버튼을 누른다.



5.3 .sp file 완성하기

- 저장된 .sp file 을 Menu bar 의 File 의 Open 을 통해서 불러들이고 Simulation 을 위한 Netlist 를 구성하기 위해서 앞에서 강조한 netlist 에 필요한 부분들을 작성하여 netlist 를 완성한다.

```
Inverter Simulation

.lib c:/avanti/Hspice2001.2/sec/csp5hb5v_cla5hb5v_para.lib_r002a nn
.options list node post
.temp 27
.global GROUND

* ELDO netlist generated by 'catpsj' on Mon Jan 27 2003 at 04:16:42
* component pathname : $WORK/catpsj/catpsj/digitlib/inv1

.subckt INV1  NOT_A A VCC VSS

        M2  NOT_A A VSS VSS mn L=0.5u W=0.6u M=1
        M1  NOT_A A VCC VCC mp L=0.5u W=1.2u M=1

.ends INV1

* MAIN CELL: component pathname : $WORK/catpsj/catpsj/Idec/Inverter

        X_XINV11  VOUT VIN VCC VSS INV1

        R1  VOUT VSS 10Meg
        C1  VOUT VSS 1P

        VCC VCC 0 DC 3V
        VSS VSS 0 DC 0V

*       VIN VIN 0 DC 3V
*       VIN VIN 0 SIN (1.5V 1.5V 10K 0 0)
        VIN VIN 0 PULSE(0V 3V 20u 0.001n 0.001n 20u 40u)
*
* eldo include file.

.tran 0.1u 400u
.Op
.end
```

Netlist 제목추가

.Lib, .Options, .temp 명령어 추가

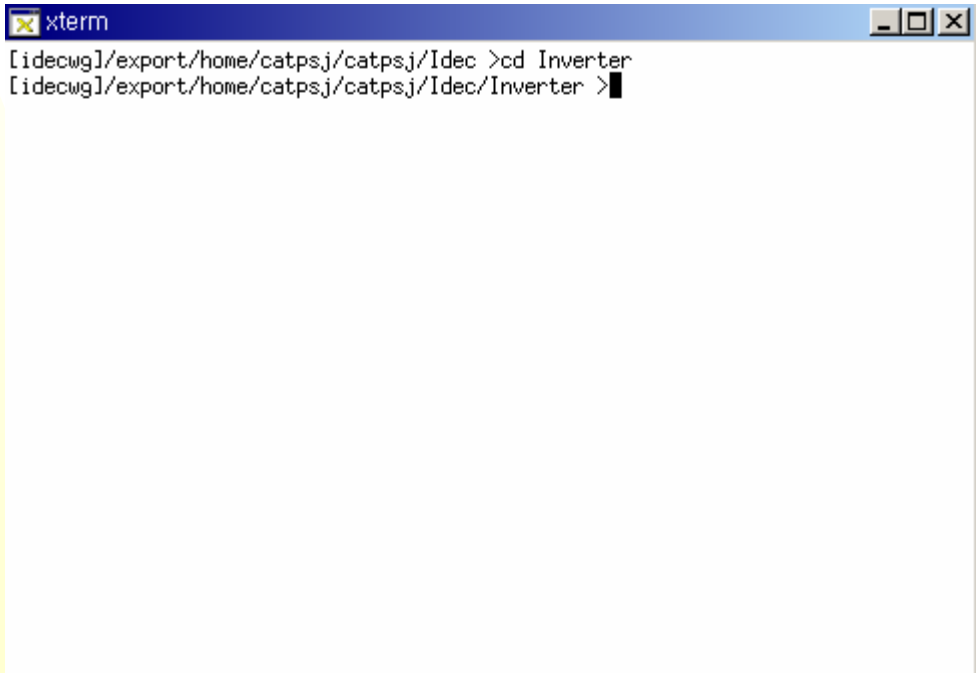
eldo.nspice 에서 자동으로 생성되는 부분

Voltage Source 를 추가

.Tran / .Op 명령어 추가

5.4 HSPICE 실행

- HSPICE 실행 하기
  - xterm 창으로 돌아가서 simulation 하고자 하는 file(.sp) 이 있는 directory 로 이동한다.



5.4 HSPICE 실행

- Directory 를 찾았으면, HSPICE 명령어를 실행한다.
  hspice 실행파일명.sp > 실행파일명.lis
  hspice inverter.sp > inverter.lis

(=> .lis 파일에서는 simulation 결과 및 error 메세지를 확인할 수 있다)

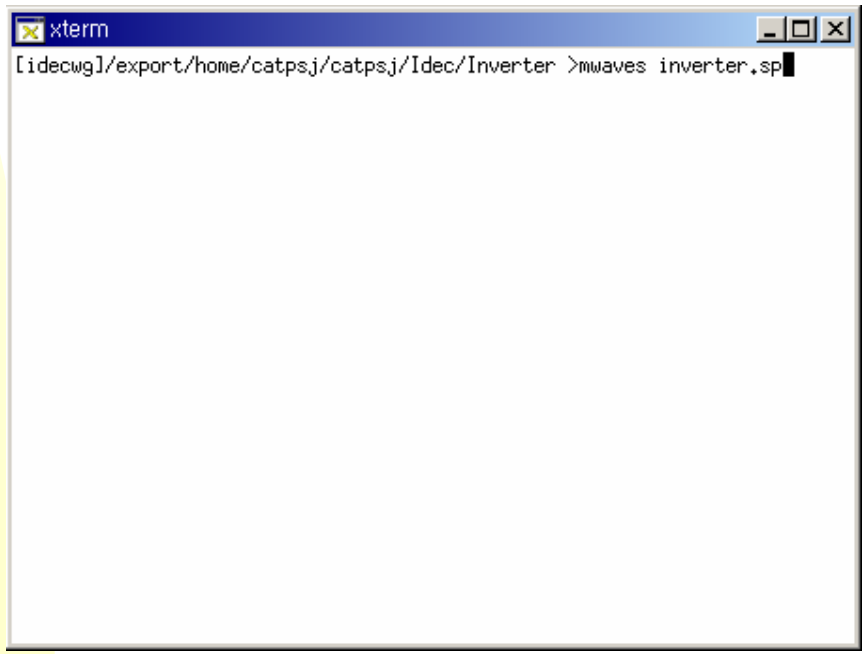
5.5 AvanWaves 실행

- 만일 simulation 에 error 가 있다면, error 메시지가 출력되고 error 의 내용은 .lis 파일을 통해서 확인할 수 있다.

  error 가 없다면 avanwaves 명령어를 사용해서 simulation 결과를 확인할 수 있다.

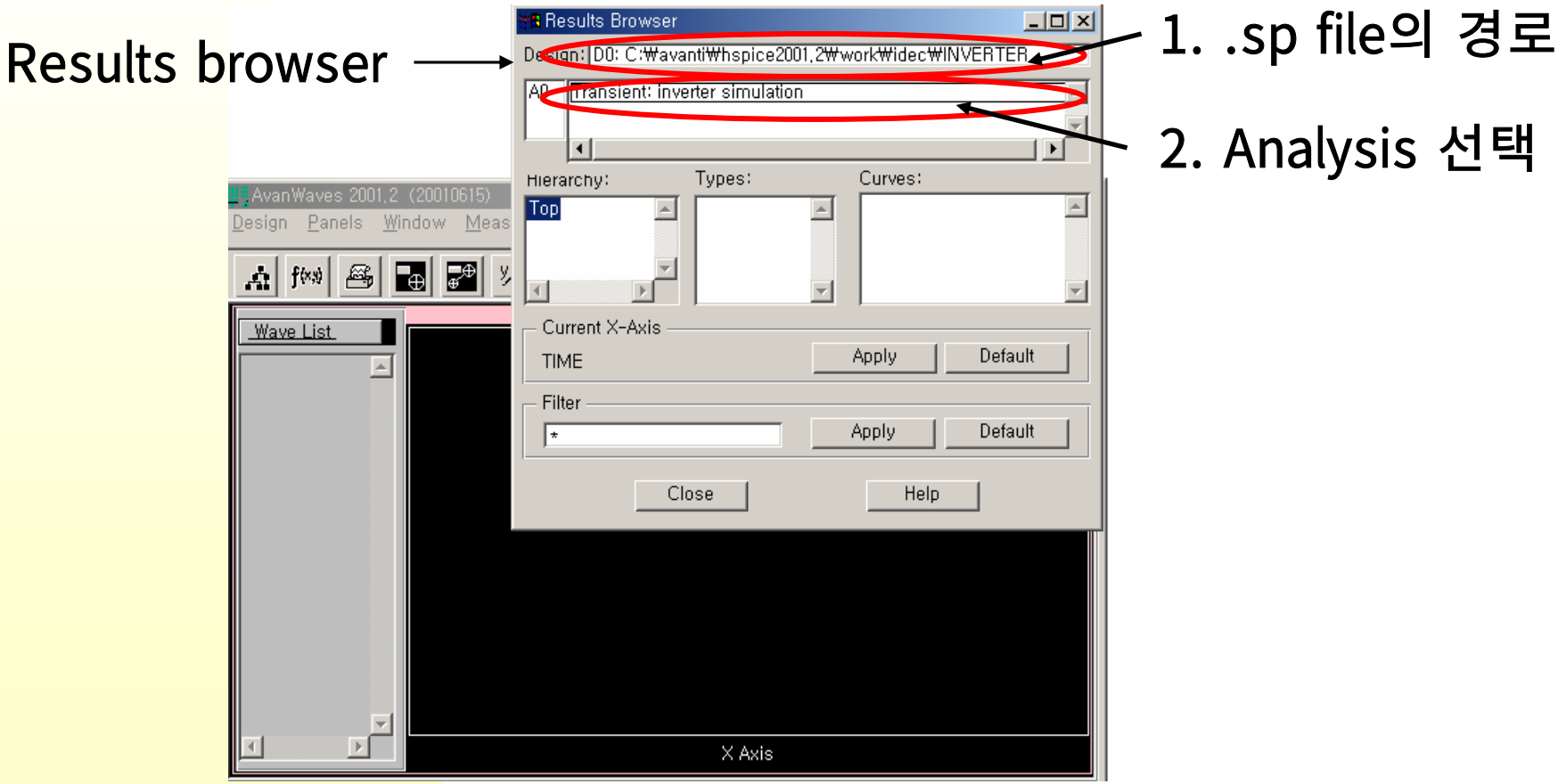
  mwaves 실행파일명.sp

  mwaves inverter.sp



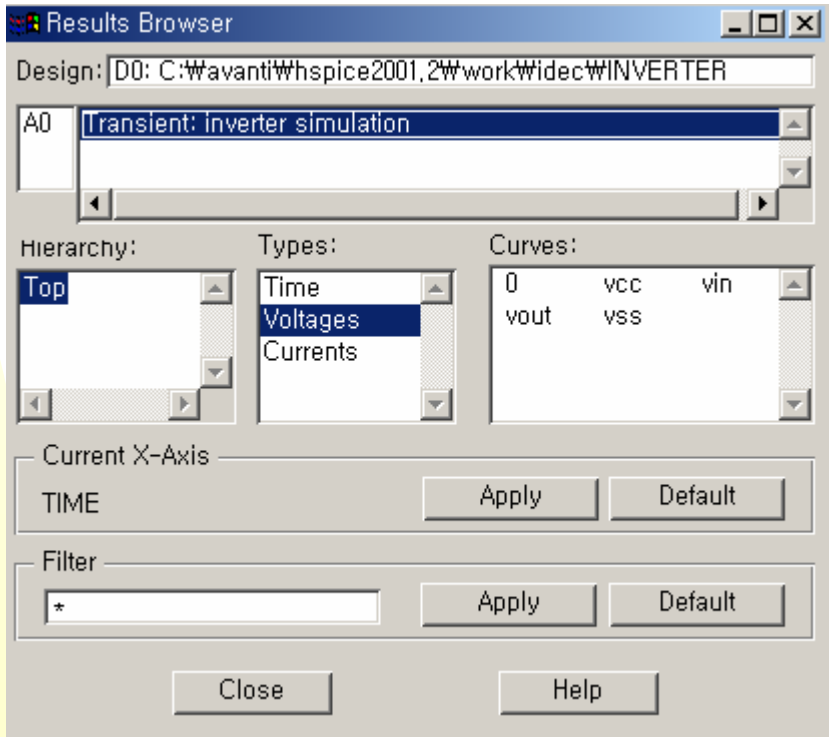
5.6 AvanWaves

- AvanWaves 명령어를 사용하여 실행되는 첫 화면은 아래와 같다.



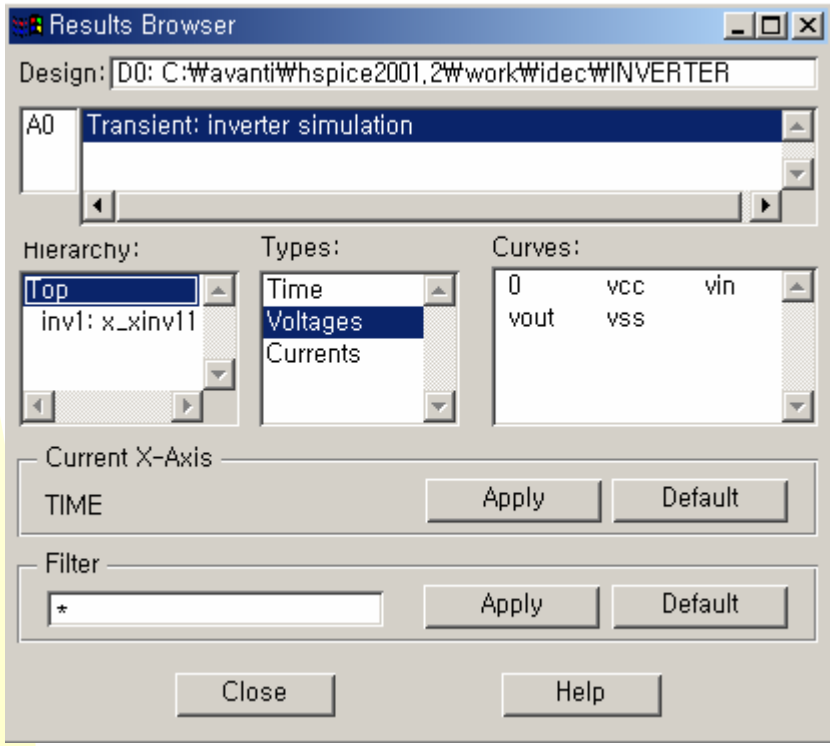
5.7 AvanWaves 결과 확인

- Analysis type 을 선택하면 simulation 한 회로의 node voltage, current 등을 확인할 수 있다.



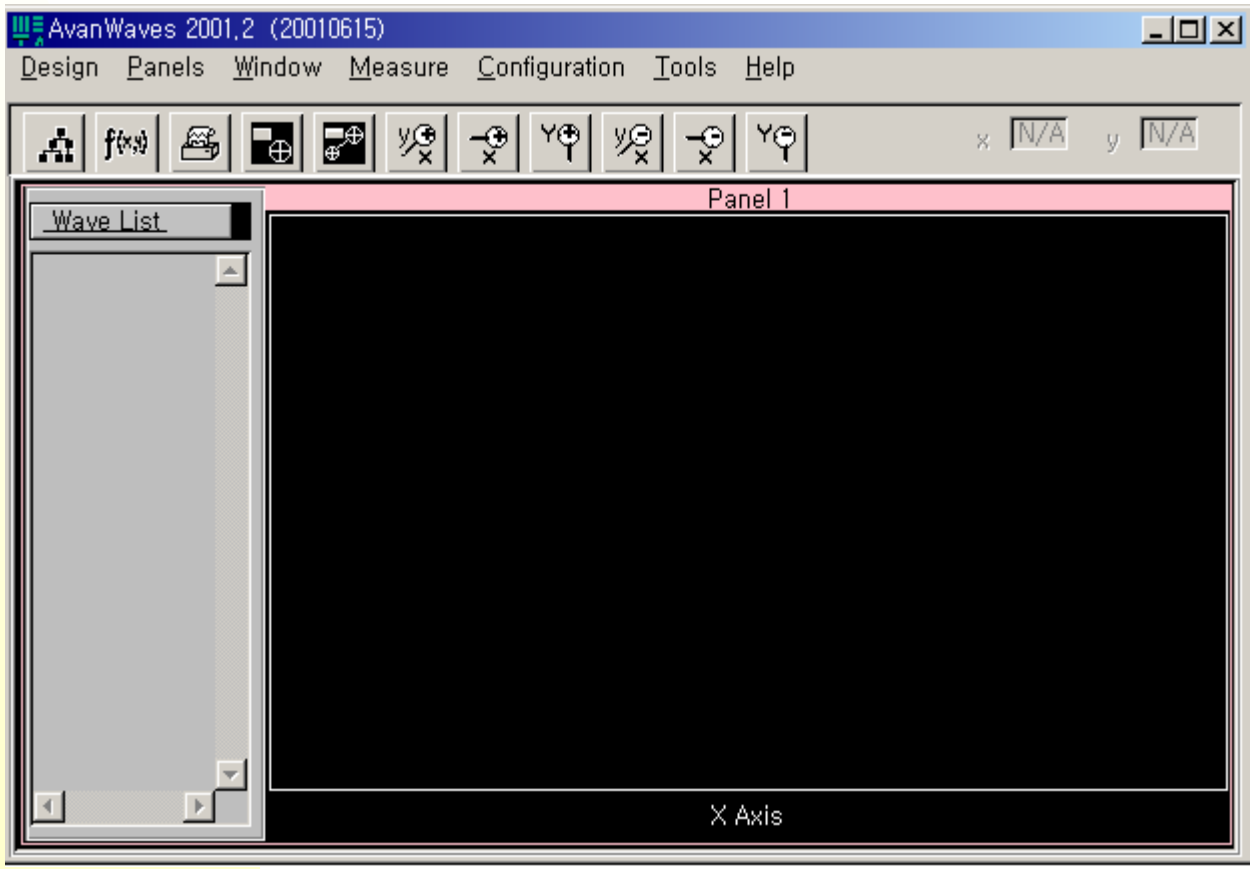
5.7 AvanWaves 결과 확인

- 좌측에 있는 **Hierarchy** 부분은 netlist 에 **.SUBCKT** 명령어가 있을 경우 sub_circuit 내의 회로에 대한 node voltage, current 등을 나타낸다.



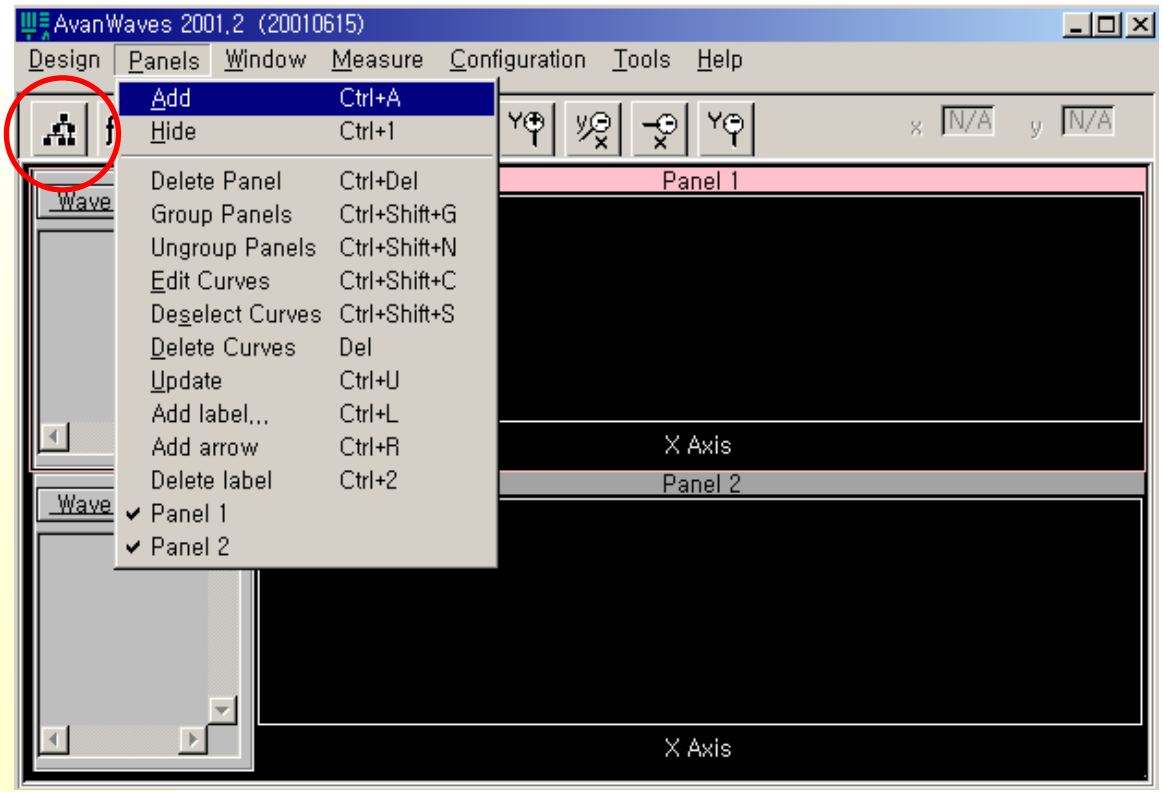
5.7 AvanWaves 결과 확인

- 아래 그림은 실제로 simulation 한 회로의 결과 값들이 출력되는 곳이다.



5.7 AvanWaves 결과 확인

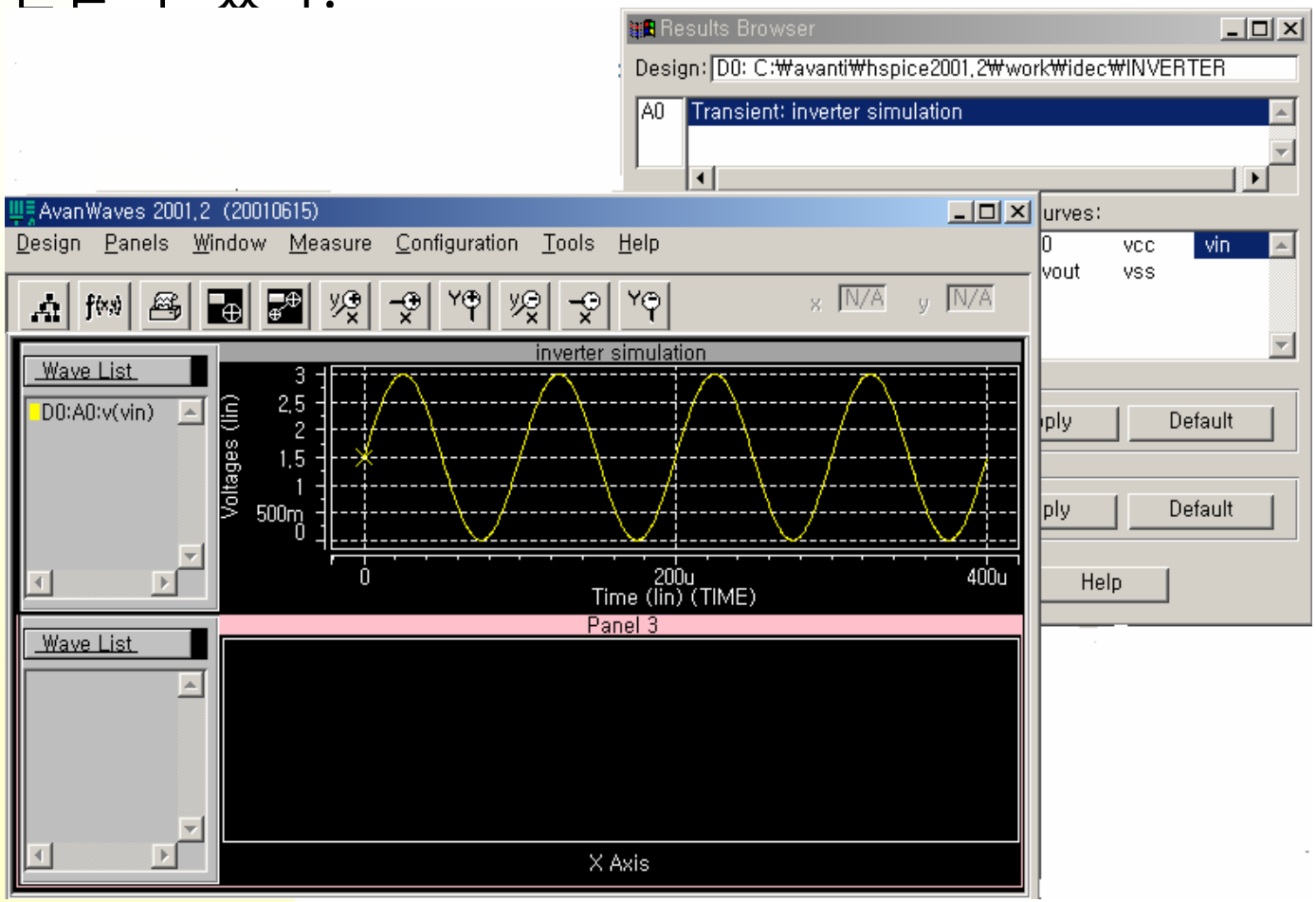
- 확인하고자 하는 파형이 여러 가지일 경우에는 Menu bar 의 Panels 을 선택하고 Add 를 누르면, 원하는 만큼의 panel 을 추가할 수 있다.



- 만약 작업 도중에 Results Browser 가 사라졌다면 tool bar 에서 ◯ 버튼을 누른다.

5.7 AvanWaves 결과 확인

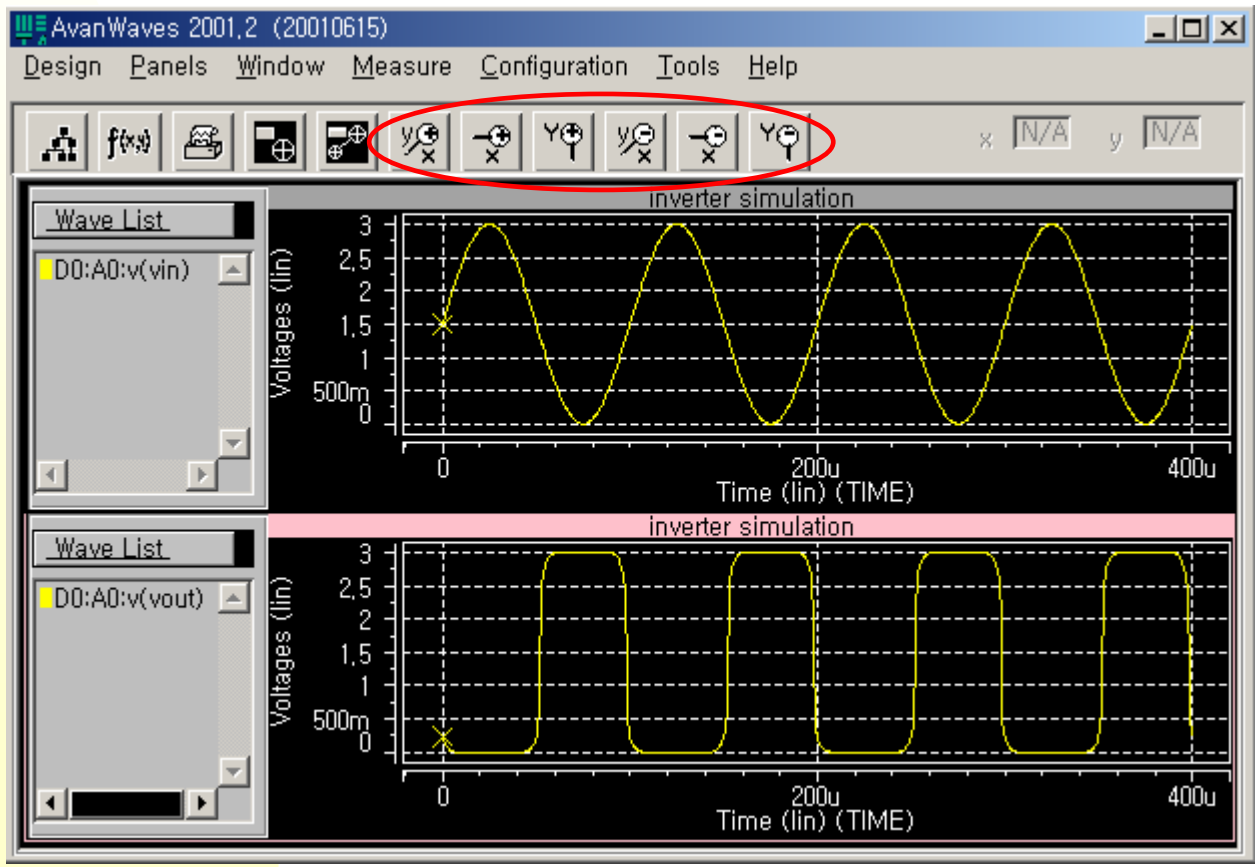
- Results Browser 에서 원하는 node 를 선택하면 결과 값을 확인할 수 있다.



5.7 AvanWaves 결과 확인

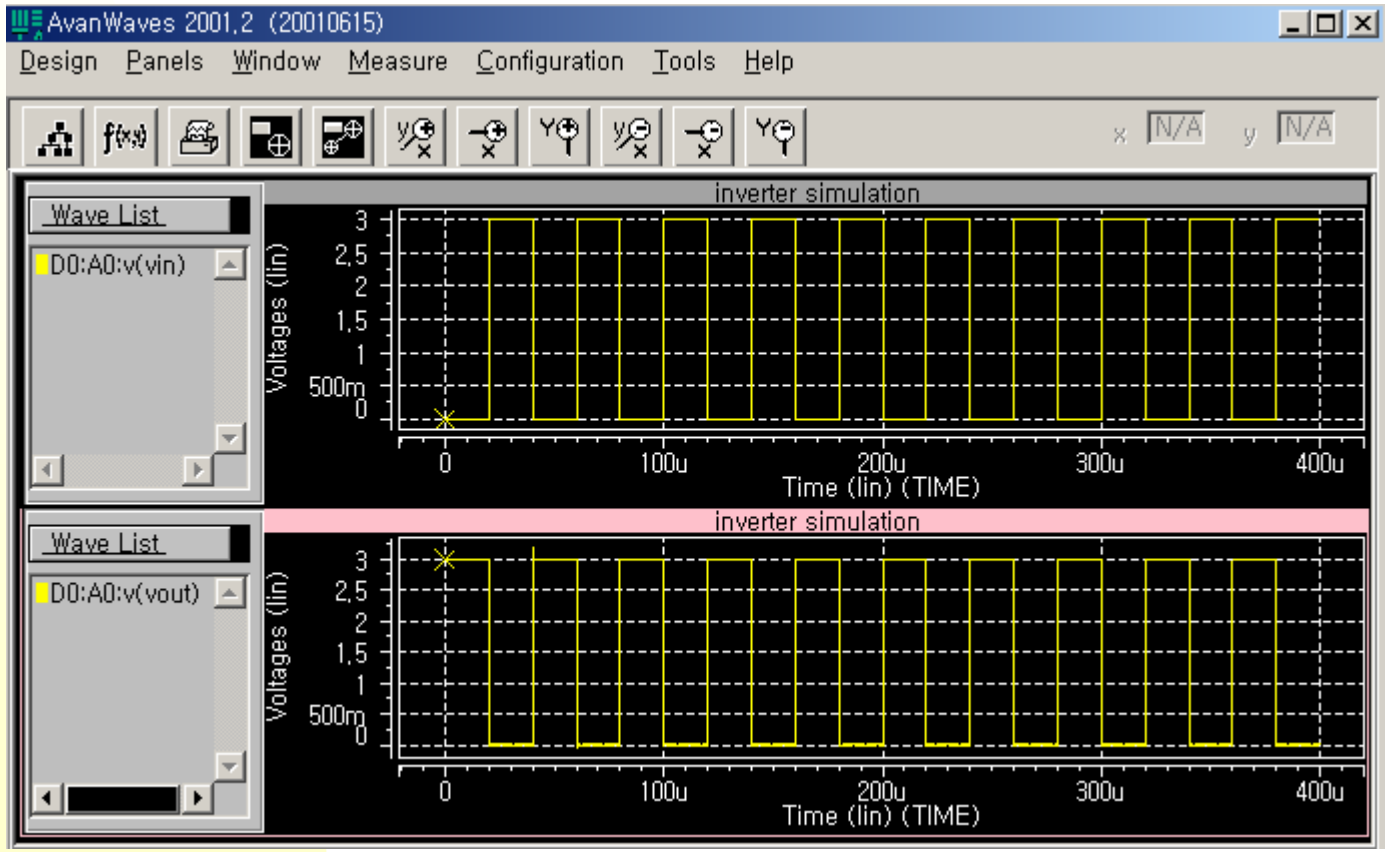
- Tool bar 에서 ◯ 를 이용하여 결과 파형을 확대 / 축소하여 결과를 확인할 수 있다.

  아래 그림은 Input Source 를 SIN Source 로 넣었을 경우



5.7 AvanWaves 결과 확인

- Input Source를 PULSE Source 로 넣었을 경우



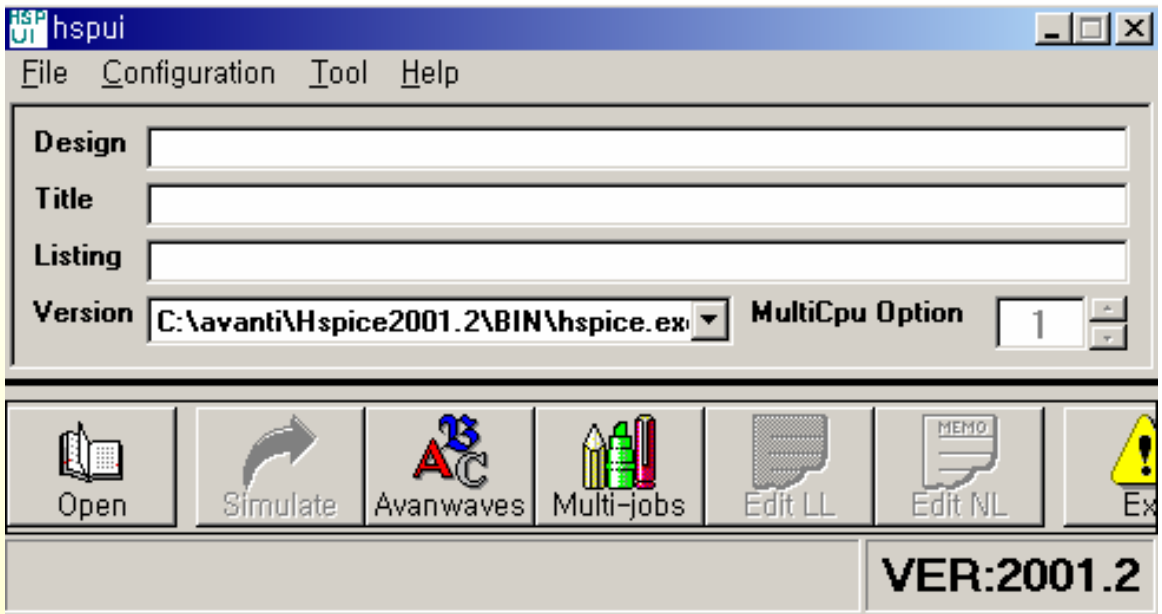
6. Inverter Simulation

6.1 Inverter Simulation

- Inverter simulation
  - 추출된 netlist를 가지고 .sp file 을 완성하고 Hspice 실행.
  - Input Voltage Source 를 SIN, PULSE 등으로 바꾸어 simulation.
  - Avawaves 통해 결과 확인.

6.2 PC_Hspice

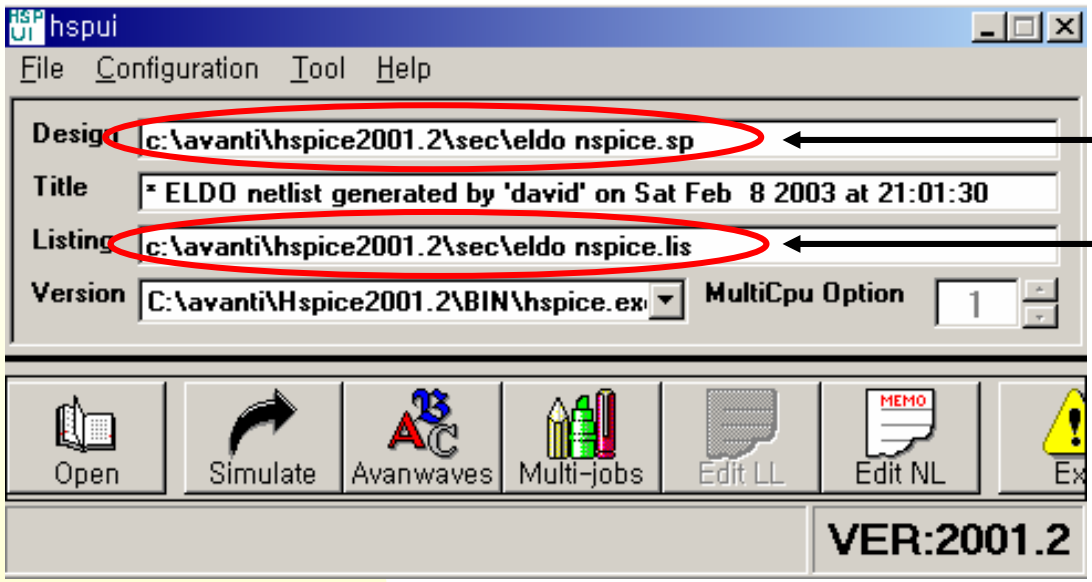
- 바탕화면의 Hspui 2001.2 icon 을 클릭하면 아래 화면이 나온다.



- 죄측의 open 버튼을 클릭하여 *C:/avanti/Hspice2001.2/sec/eldo nspice.sp* 를 찾은 다음 열기 버튼을 누른다.

6.2 PC_Hspice

- eldo nspice.sp 를 선택하면 interface 창이 아래와 같이 바뀐다.



.sp file의 위치 정보

.sp 을 simulation 했을 때 나오는 .lis 의 위치 정보

- 현재 확인하려는 eldo nspice.sp file 은 da_ic 에서 schematic을 그린 뒤 da_ic 에서 추출되는 netlist 파일과 동일하다.(불완전한 sp file 임)

6.2 PC_Hspice

- Interface 창에서 Edit NL 을 누르면 아래와 같은 netlist 가 나온다.

eldo nspice.sp - 메모장

파일(F) 편집(E) 서식(O) 도움말(H)

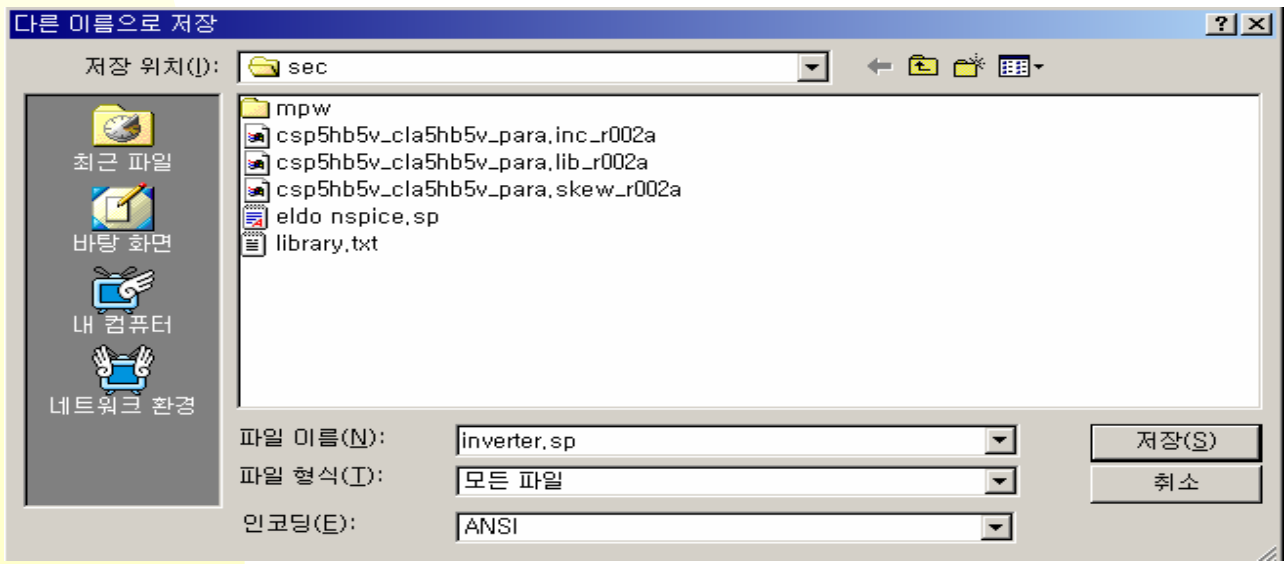
```
* ELDO netlist generated by 'david' on Sat Feb  8 2003 at 21:01:30

*
* component pathname : $WORK/david/inverter
*
.subckt INVERTER  VOUT VCC VIN VSS

        M_I$1  VOUT VIN VCC VCC PCH L=0.35u W=1.4u M=1
        M_I$2  VOUT VIN VSS VSS NCH L=0.35u W=1.4u M=1
.ends INVERTER
*
* MAIN CELL: component pathname : $WORK/david/simulation
*
        X_I$1  VOUT VCC VIN VSS INVERTER
        R_I$254  VOUT VSS 1K
        C_I$255  VOUT VSS 1P
*
* eldo include file.
*
*
.end
```

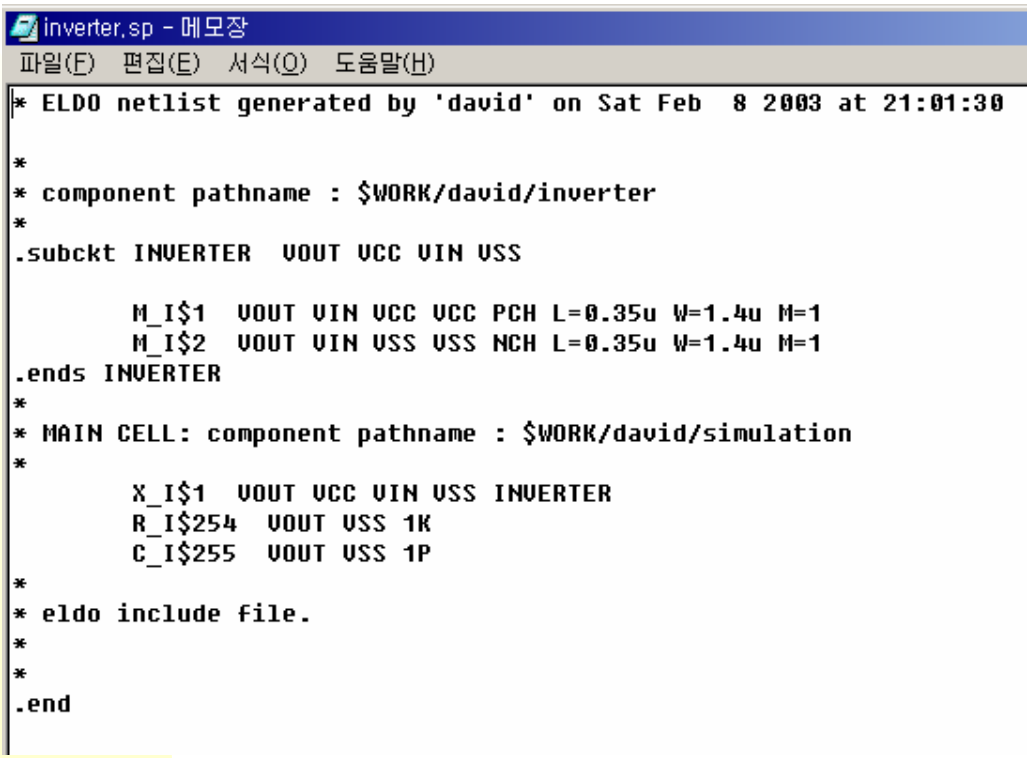
6.2 PC_Hspice

- 현재 보이는 file 은 HSPICE 를 구동하기 위한 완벽한 .sp file 이 아니기 때문에 앞에서 배운 내용들을 첨가해야 한다.
  - 우선 menu bar 의 file 을 선택하여 다른 이름으로 저장 을 누른 뒤
  - 현재 디렉토리(*c:/avanti/Hspice2001.2/sec*) 에 *inverter.sp* 로 저장한다.(주의할 점은 저장할 때 파일 형식은 모든 파일로 해야 한다. 그렇지 않을 경우 .sp file 이 아니라 .txt file 로 저장되어 시뮬레이션이 불가능하다)



6.2 PC_Hspice

- 저장 버튼을 누르면 아래와 같이 기존의 file 이 inverter.sp 로 바뀌게 된다. 이제부터 이곳에서 앞에서 배운 HSPICE 문법을 이용하여 완벽한 .sp file 을 작성한다.



- Library의 위치는 c:/avanti/Hspice2001.2/sec/library.txt 에서 copy 하여 사용한다.

6.2 PC_Hspice

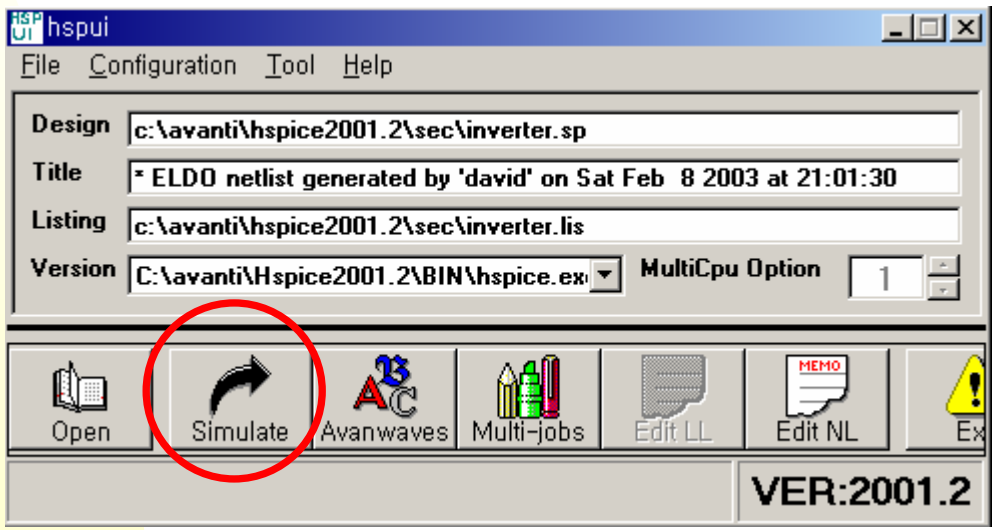
- 앞에서도 언급 되었지만 parameter 를 제공하는 회사마다 mos_model 이 차이가 있다.
  이번 강좌에서 사용하는 parameter 에서는
  PCH -> mp / NCH -> mn 으로 바꾸어서 사용해야 한다.

- 저항의 size 는 1K 에서 10Meg 로 바꾼다.

- .sp file 이 완성되면 *file -> 저장* 을 누른다.

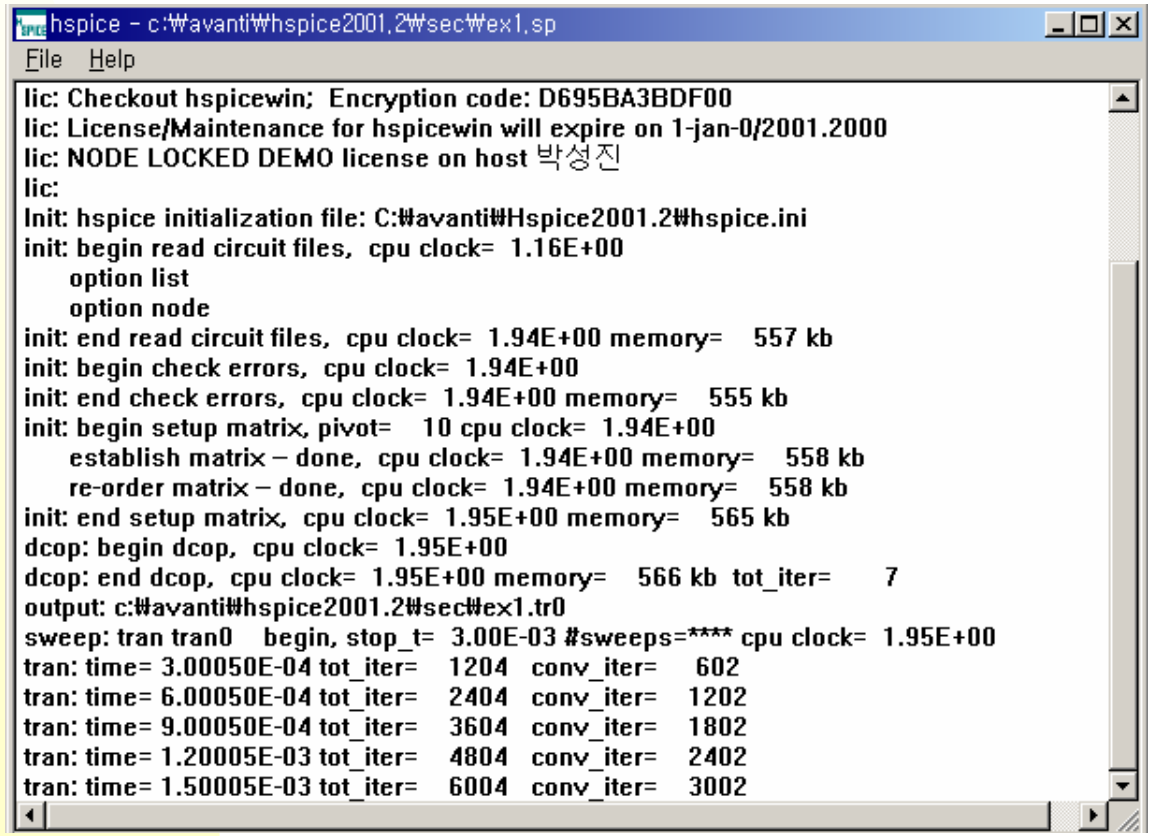
6.2 PC_Hspice

- Hspice interface 창으로 돌아가서 simulation 버튼을 누른다.



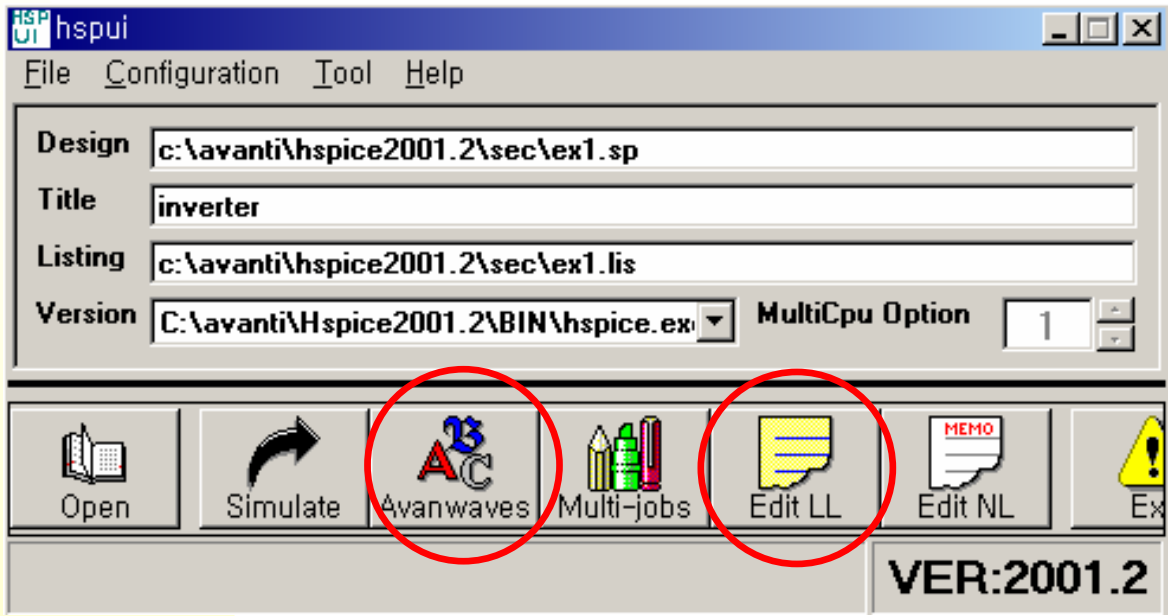
6.2 PC_Hspice

- *Error 가 없다면* 아래와 같이 시간이 증가하면서 simulation 하는 모습을 볼 수 있지만, .sp file에
  error 가 있다면 이 창이 나왔다가 제대로 simulation 을 하지 못하는 상황이기 때문에 금방 사라지게 될 것이다.



6.2 PC_Hspice

- Error 가 없이 simulation 이 끝났다면 아래 창에서 Avanwaves 버튼을 누르면 결과를 확인 할 수 있다.



- Error 가 발생하였다면 *Edit LL*(=.lis) 버튼을 누르면 *.lis file* 이 나오고 그 곳에서 *error 의 내용을 확인* 할 수 있다.

6.3 Nand gate Simulation

- Nand gate simulation